

INSTYTUT CYBERNETYKI TECHNICZNEJ POLITECHNIKI WROCŁAWSKIEJ  
ZAKŁAD SZTUCZNEJ INTELIGENCJI I AUTOMATÓW

Ćwiczenia laboratoryjne z Logiki Układów Cyfrowych

ćwiczenie 203

temat: UKŁADY SEKWENCYJNE

1. CEL ĆWICZENIA

Celem ćwiczenia jest zapoznanie się z podstawowymi elementami sekwencyjnych – przerzutnikami – układów logicznych oraz metodami syntezy złożonych układów sekwencyjnych – rejestrów, układów licznikowych i sumatorów szeregowych.

2. PROGRAM ĆWICZENIA

1. Realizacja i analiza pracy wybranych typów przerzutników asynchronicznych i synchronicznych
  - a) określenie tablic stanów oraz tablic wzbudzeń przerzutników typu: RS, JK, D, T
  - b) konwersje typu przerzutnika
2. Projektowanie i realizacja układów zbudowanych z przerzutników
  - a) rejestrów
  - b) układów licznikowych – synteza liczników synchronicznych
  - c) szeregowych sumatorów akumulujących

3. PROBLEMATYKA ĆWICZENIA

Układy cyfrowe można podzielić na dwie podstawowe grupy:

- układy kombinacyjne
- układy sekwencyjne

Układy kombinacyjne charakteryzują się jednoznacznością stanu wyjść od stanu wejść.

Układy sekwencyjne mają możliwość pamiętania stanów logicznych. Zatem, stan wyjść uzależniony jest zarówno od stanu wejść, jak i od stanu elementów pamięciowych układu. Elementarnymi układami pamięciowymi są przerzutniki umożliwiające pamiętanie jednego bitu informacji.

4. WIADOMOŚCI PODSTAWOWE

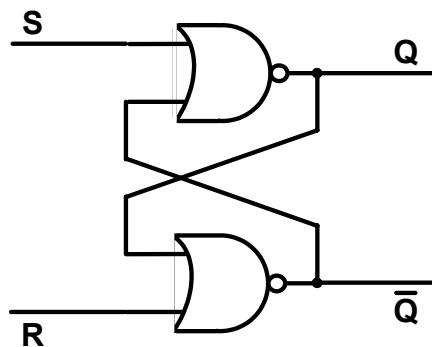
4.1. Przerzutniki

Przerzutniki są układami wyposażonymi w przynajmniej dwa wejścia i z reguły dwa wyjścia. Można wyróżnić trzy rodzaje wejść przerzutników:

- zegarowe – inaczej synchronizujące lub wyzwalające
- informacyjne
- programujące

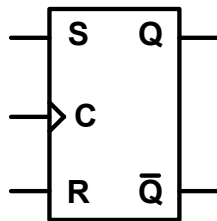
Przerzutniki z wejściem zegarowym ( $C$ ) nazywane są przerzutnikami synchronicznymi, bez wejścia zegarowego asynchronicznymi. Wejścia programujące pozwalają ustawiać (*Set*, *Preset*) lub zerować (*Reset*, *Clear*) stan przerzutnika w sposób asynchroniczny. Działanie przerzutnika opisywane jest przez tablicę stanów przedstawiającą stany na wejściach informacyjnych i wyjściach przed wystąpieniem sygnału zegarowego (chwila  $t$ ) oraz wynikający z nich (według funkcji układu) stan wyjść po wystąpieniu sygnału zegarowego (chwila  $t+1$ ).  
Poniżej przedstawione zostaną podstawowe typy przerzutników wraz z tablicą stanów i równaniami logicznymi.

#### Asynchroniczny przerzutnik RS



R	S	Q(t)	Q(t+1)
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	-
1	1	1	-

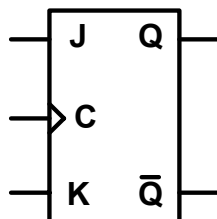
#### Synchroniczny przerzutnik RS



$$Q(t+1) = S(t) + \bar{R}(t) Q(t)$$

S(t)	R(t)	Q(t+1)
0	0	Q(t)
0	1	0
1	0	1
1	1	?

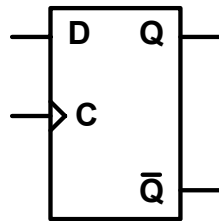
#### Synchroniczny przerzutnik JK



$$Q(t+1) = J(t) \bar{Q}(t) + \bar{K}(t) Q(t)$$

J(t)	K(t)	Q(t+1)
0	0	Q(t)
0	1	0
1	0	1
1	1	$\bar{Q}(t)$

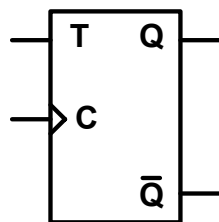
Synchroniczny przerzutnik D



$$Q(t+1) = D(t)$$

D(t)	Q(t+1)
0	0
1	1

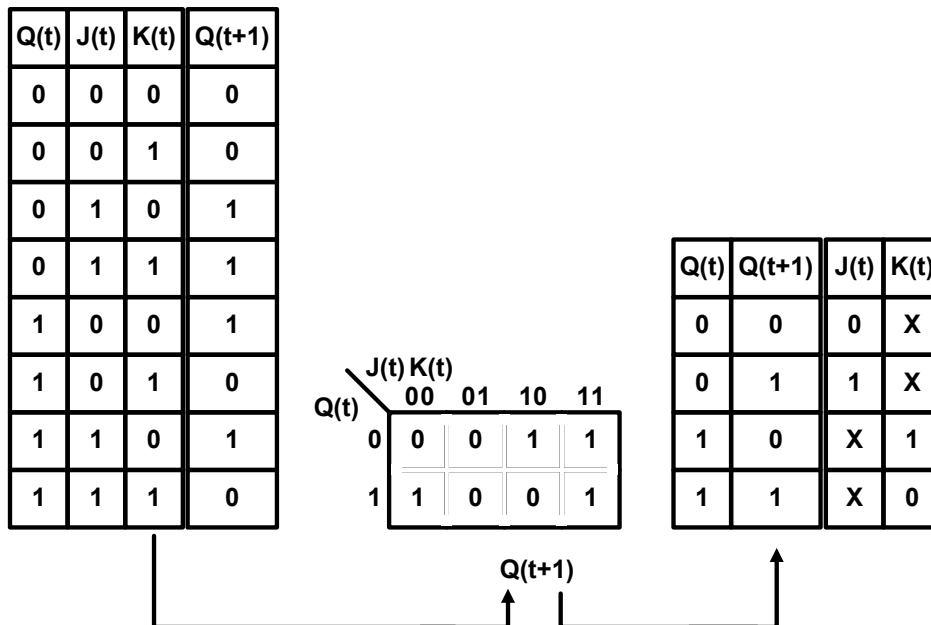
Synchroniczny przerzutnik T



$$Q(t+1) = T(t) \oplus Q(t)$$

T(t)	Q(t+1)
0	Q(t)
1	$\bar{Q}(t)$

Aby określić stan wejść przerzutnika, niezbędny do założonej zmiany stanu, korzysta się z tak zwanej tablicy wzbudzeń. Można ją uzyskać przez przejście od pełnej tablicy stanów do tablicy Karnaugh'a. Pokazane to zostanie na przykładzie przerzutnika JK.



## 4.2 Synteza układu sekwencyjnego

Ponieważ synteza układu sekwencyjnego asynchronicznego wymaga uwzględnienia opóźnień we wszystkich drogach rozchodzenia się sygnałów wejściowych jest zadaniem pracochłonnym i trudnym, dlatego też nie zostanie tutaj umówiona. Przedstawiona zostanie synteza układu synchronicznego.

Stan logiczny układu synchronicznego jest określany przez zbiór stanów wszystkich przerzutników wchodzących w jego skład i synchronizowanych sygnałem zegarowym. Maksymalna liczba stanów układu zawierającego  $n$  przerzutników wynosi  $2^n$ . Sekwencję stanów można przedstawić w postaci grafu stanów lub tablicy stanów.

Synteza synchronicznego układu sekwencyjnego polega na:

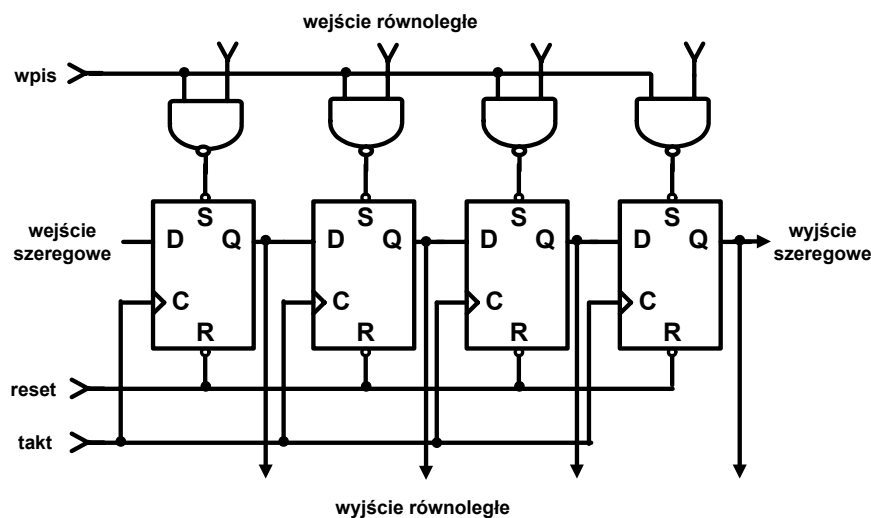
- określeniu liczby i typu przerzutników wymaganych do jego realizacji,
- przedstawieniu żądanej sekwencji stanów w postaci tablicy stanów,
- sporządzeniu tablic Karnaugh'a dla wejść poszczególnych przerzutników, na podstawie tablicy stanów i tablicy wzbudzeń wybranego przerzutnika,
- minimalizacji funkcji przełączających poszczególnych wejść przerzutników,
- praktycznej realizacji układu, na podstawie powyższych funkcji, przy użyciu odpowiednich funkcyj logicznych

Poniżej przedstawione zostaną podstawowe układy konstruowane z przerzutników, mające szerokie zastosowanie praktyczne.

#### 4.3 Układy rejestrowe

Rejestry szeregowe mogą być przystosowane do przesuwania wprowadzanej informacji w jednym kierunku (rejestry jednokierunkowe) bądź w obu kierunkach (rejestry rewersyjne). Rejestry budowane są z przerzutników.

Poniżej pokazano przykład 4-bitowego rejestru przesuwającego, zbudowanego z przerzutników typu D.



#### 4.4 Układy licznikowe

Licznik jest sekwencyjnym układem cyfrowym zliczającym i pamiętającym liczbę impulsów podawanych na jego wejście zliczające. Stan początkowy jest zazwyczaj ustawiany osobnym wejściem.

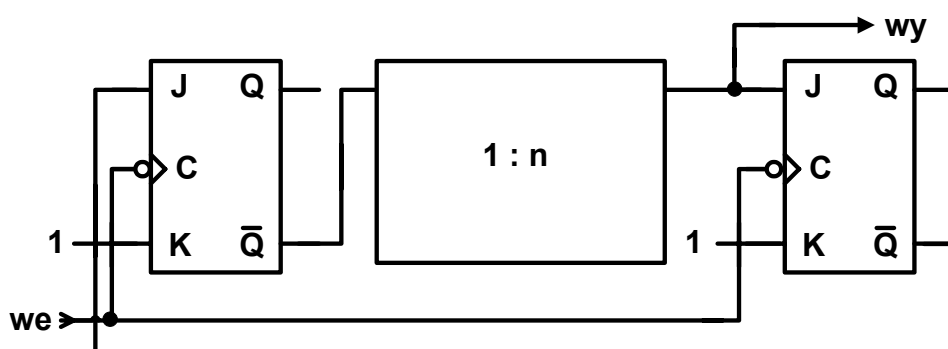
Licznik przechodzący cyklicznie przez  $N$  wyróżnionych stanów nazywany jest licznikiem modulo  $N$ . Jeżeli zaś przechodzi on przez te stany jednokrotnie i po osiągnięciu stanu końcowego musi być sprowadzony do stanu początkowego jest licznikiem do  $N$ . Licznik zawierający  $n$  przerzutników może mieć maksymalną pojemność  $2^n$ .

Ze względu na kierunek zliczania liczniki dzielimy na:

- jednokierunkowe:
  - a) zliczające w przód,
  - b) zliczające w tył
- dwukierunkowe (rewersyjne)

Jeśli impulsy zliczane podawane są na wejścia zegarowe wszystkich przerzutników, to licznik nazywamy synchronicznym, jeśli zaś na jedno lub tylko niektóre z wejść zegarowych – asynchronicznym lub asynchroniczno-synchronicznym.

Synteza liczników asynchronicznych może być przeprowadzona na dwa sposoby:  
- metoda rozkładu liczby  $N$  na czynniki – wykorzystując podstawowy układ licznika asynchronicznego zliczającego modulo  $(2n+1)$  podany poniżej oraz elementarne układy dzielników (przez dwa – dwójka licząca, przez cztery – dwie dwójki liczące).

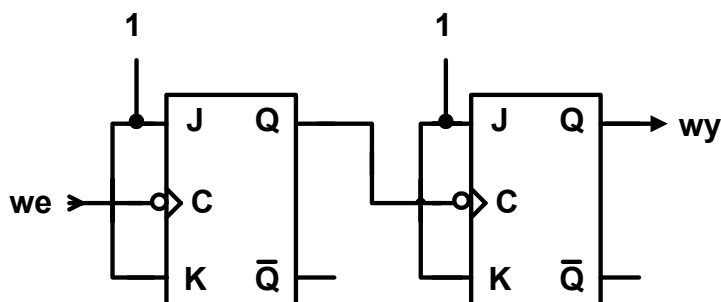


### Przykład 1

Zaprojektować licznik asynchroniczny zliczający mod 9.

$$9 = 2 \cdot 4 + 1, n = 4$$

Układ licznika można więc uzyskać wstawiając w ogólnym schemacie logicznym licznika moduł dzielnika przez 4 zrealizowanym następująco:



- przez zbudowanie licznika składającego się z  $n$  ( $N \leq 2^n$ ) dwójek liczących połączonych szeregowo i uzupełnienie go o układ dekodujący stan  $N$  licznika oraz zerujący go przy tym stanie.

#### 4.4.1 Synteza liczników synchronicznych

Funkcje przełączające dla poszczególnych wejść przerzutników uzyskiwane są z tablic Karnaugh'a, które tworzone są na podstawie tablicy stanów licznika i tablicy wzbudzeń dla wybranego typu przerzutnika.

Poniżej pokazano syntezę licznika modulo 16, zliczającego w przód w naturalnym kodzie dwójkowym. Wykorzystano przerzutniki JK.

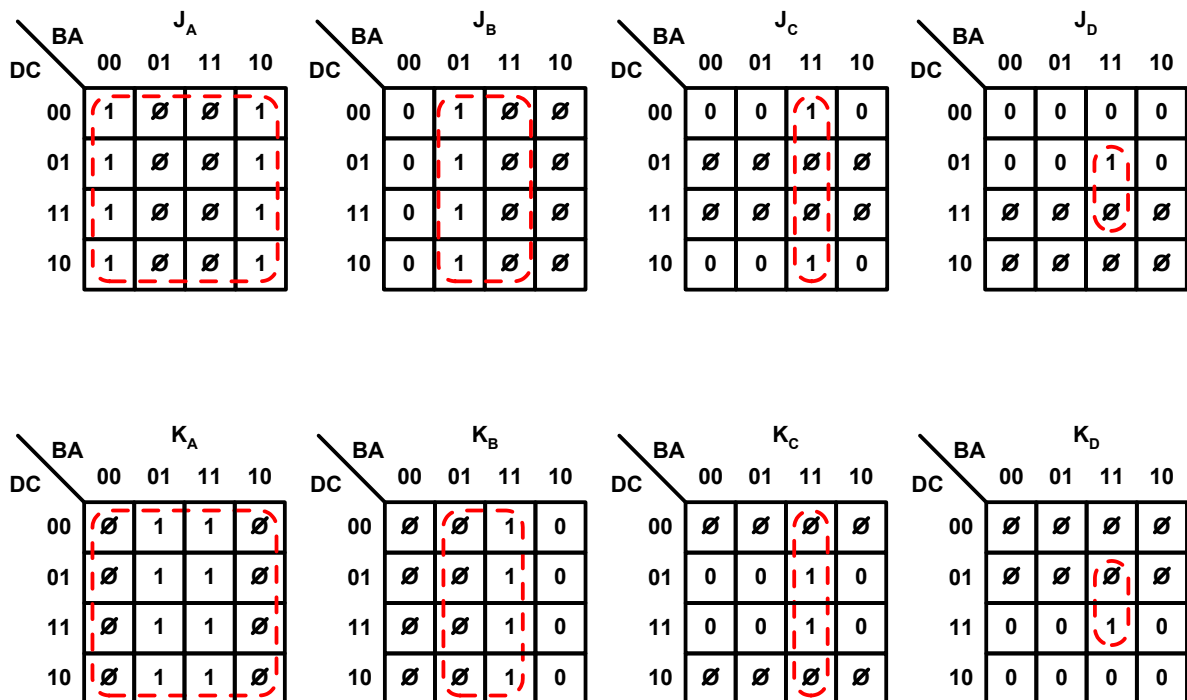
Tablica stanów:

D C B A				D C B A					
0	0	0	0	0	1	0	0	0	1
1	0	0	0	1	2	0	0	1	0
2	0	0	1	0	3	0	0	1	1
3	0	0	1	1	4	0	1	0	0
4	0	1	0	0	5	0	1	0	1
5	0	1	0	1	6	0	1	1	0
6	0	1	1	0	7	0	1	1	1
7	0	1	1	1	8	1	0	0	0
8	1	0	0	0	9	1	0	0	1
9	1	0	0	1	10	1	0	1	0
10	1	0	1	0	11	1	0	1	1
11	1	0	1	1	12	1	1	0	0
12	1	1	0	0	13	1	1	0	1
13	1	1	0	1	14	1	1	1	0
14	1	1	1	0	15	1	1	1	1
15	1	1	1	1	0	0	0	0	0

$t$                        $t + 1$

W tablicy stanów, w kolejnych wierszach, umieszczono stany licznika (stany wyjść przerzutników ABCD) w chwilach  $t$  i  $t+1$ . Znajomość tych stanów pozwala określić funkcje przełączające dla wejść J i K przerzutników. Symbol  $\emptyset$  w tablicach Karnaugh'a (równoważne oznaczenia : \*, X) oznacza dowolny stan logiczny (0 lub 1) i interpretowany jest tak, aby uzyskać najprostszą postać funkcji przełączającej.

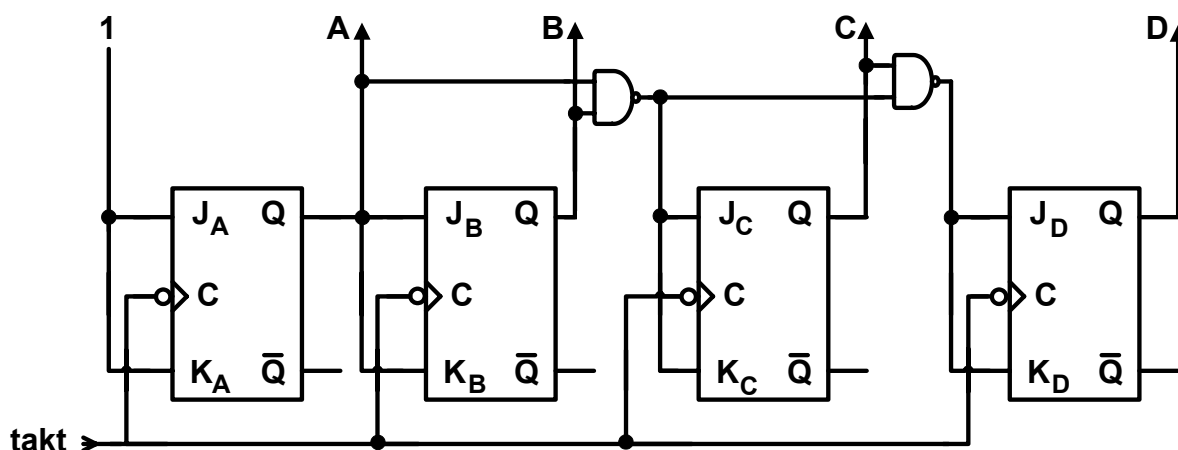
Tablice Karnaugh'a dla wejść przerzutników:



Na podstawie tablic Karnaugh'a można określić następujące funkcje przełączające:

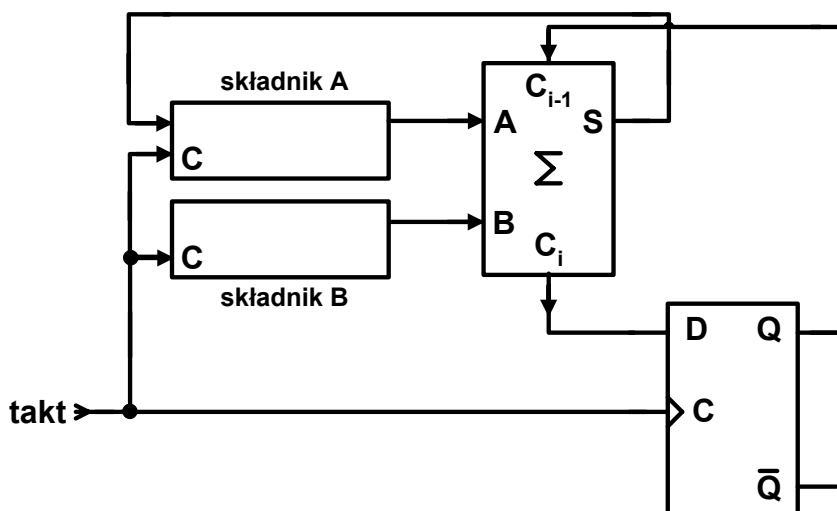
$$\begin{aligned} J_A &= K_A = 1 \\ J_B &= K_B = A \\ J_C &= K_C = AB \\ J_D &= K_D = ABC \end{aligned}$$

oraz strukturę licznika:



#### 4.5 Sumatory szeregowe

Wykorzystując jednobitowy sumator pełny oraz rejestry przesuwające można zbudować wielopozycyjny sumator szeregowy akumulujący:



W każdym takcie zegarowym dodawane są (poczynając od najmniej znaczącej pozycji) bity składników oraz bit przeniesienia z poprzedniej pozycji, pamiętany w przerzutniku D. Wynik umieszczany jest w rejestrze składnika A. Na rysunku nie pokazano układów wpisu składników oraz zerowania przerzutnika D.

## 5. PRZEBIEG ĆWICZENIA

Dla podanych zadań należy:

- zaprojektować układ, ewentualnie przeprowadzić syntezę logiczną,
- zmontować układ wykorzystując dostępne elementy,
- sprawdzić poprawność działania układu.

Zadania do wykonania:

- Zbudować przerzutnik RS wykorzystując różne typy funktorów logicznych.
- Wykorzystując przerzutnik JK uzyskać pozostałe typy przerzutników.
- Zbudować układ konwersji informacji z postaci szeregowej na równoległą i odwrotnie.
- Zrealizować licznik o programowanej długości cyklu (mod 1–15) wykorzystując scalony licznik '93.
- Wykorzystując przerzutniki JK zbudować licznik synchroniczny modulo 6 zliczający wstecz.
- Zrealizować 4-bitowy, szeregowy sumator akumulujący.

## 6. SPRAWOZDANIE Z ĆWICZENIA

- Sformułować rozwiązywane problemy i przedyskutować wybrany sposób rozwiązania
- Przedstawić kolejne etapy syntezy układów (tablice stanów, tablice Karnaugh'a, schematy logiczne),
- Opisać sposób i wyniki testowania zbudowanych układów,
- Sformułować wnioski

## LITERATURA

1. J. Pieńkoś, J. Turczyński, Układy scalone TTL w systemach cyfrowych. WKŁ, Warszawa 1986
2. W. Sasal, Układy scalone serii UCY 64/UCY 74, Parametry i zastosowania, WKŁ, Warszawa 1985
3. J. Kazimierczak, J. Kluska, A. Kaczmarek, Podstawy teorii automatów. Laboratorium, Wydawnictwo Politechniki Rzeszowskiej, Rzeszów 1984
4. W. Krasieński, Doświadczenia z podstaw techniki cyfrowej, Politechnika Wroclawska, Wrocław 1988