Opracował: mgr inż. Antoni Sterna

KATEDRA INFORMATYKI TECHNICZNEJ

Ćwiczenia laboratoryjne z Logiki Układów Cyfrowych

ćwiczenie 203

Temat: Układy sekwencyjne

1. Cel ćwiczenia

Celem ćwiczenia jest zapoznanie się z podstawowymi elementami sekwencyjnych układów logicznych – przerzutnikami – oraz metodami syntezy złożonych układów sekwencyjnych – rejestrów, układów licznikowych i sumatorów szeregowych.

2. Program ćwiczenia

1. Realizacja i analiza pracy wybranych typów przerzutników asynchronicznych i synchronicznych:
   - określenie tabel stanów oraz tabel wzbudzeń przerzutników typu: RS, JK, D, T,
   - konwersje typu przerzutnika.
2. Projektowanie i realizacja układów zbudowanych z przerzutników:
   - rejestrów,
   - układów licznikowych – synteza liczników synchronicznych,
   - szeregowych sumatorów akumulujących.

3. Problematyka ćwiczenia

Układy cyfrowe można podzielić na dwie podstawowe grupy:

- układy kombinacyjne,
- układy sekwencyjne.

Układy kombinacyjne charakteryzują się jednoznaczną zależnością stanu wyjść od stanu wejść.

Układy sekwencyjne mają możliwość pamiętania stanów logicznych. Zatem, stan wyjść uzależniony jest zarówno od stanu wejść, jak i od stanu elementów pamięciowych układu. Elementarnymi układami pamięciowymi są przerzutniki, umożliwiające pamiętanie jednego bitu informacji.

4. Wiadomości podstawowe

4.1. Przerzutniki

Przerzutniki są układami wyposażonymi w przynajmniej dwa wejścia i z reguły dwa wyjścia (stan przerzutnika i jego negacja). Można wyróżnić trzy rodzaje wejść przerzutników:

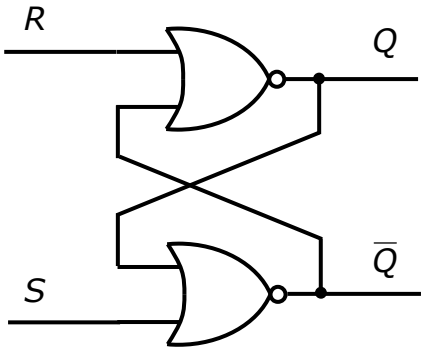
- zegarowe – inaczej synchronizujące lub wyzwalające,
- informacyjne,
- programujące.

Przerzutniki z wejściem zegarowym (*C*) nazywane są przerzutnikami synchronicznymi, bez wejścia zegarowego asynchronicznymi. Wejścia programujące pozwalają ustawiać (*Set, Preset*) lub zerować (*Reset, Clear*) stan przerzutnika w sposób asynchroniczny. Działanie przerzutnika opisywane jest przez tabelę stanów przedstawiającą stany na wejściach informacyjnych i wyjściach przed wystąpieniem sygnału zegarowego (chwila *t*) oraz wynikający z nich (według funkcji układu) stan wyjść po wystąpieniu sygnału zegarowego (chwila *t*+1).

Poniżej przedstawione zostaną podstawowe typy przerzutników wraz z tabelami stanów i równaniami logicznymi.

Asynchroniczny przerzutnik RS (NOR)

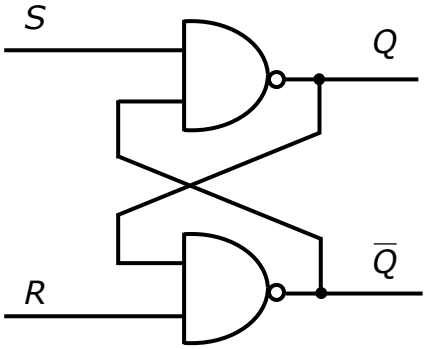
$$Q(t+1) = S(t) + \overline{R(t)}\,Q(t)$$



$S(t)$	$R(t)$	$Q(t+1)$
0	0	$Q(t)$
0	1	0
1	0	1
1	1	-

Asynchroniczny przerzutnik RS (NAND)

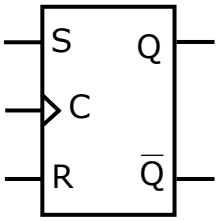
$$Q(t+1) = \overline{S(t)} + R(t)\,Q(t)$$



$S(t)$	$R(t)$	$Q(t+1)$
0	0	-
0	1	1
1	0	0
1	1	$Q(t)$

Synchroniczny przerzutnik RS

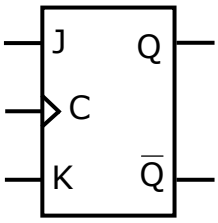
$$Q(t+1) = S(t) + \overline{R(t)}\,Q(t)$$



$S(t)$	$R(t)$	$Q(t+1)$
0	0	$Q(t)$
0	1	0
1	0	1
1	1	-

Synchroniczny przerzutnik JK

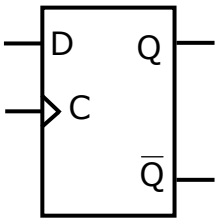
$$Q(t+1) = J(t)\,\overline{Q(t)} + \overline{K(t)}\,Q(t)$$



$J(t)$	$K(t)$	$Q(t+1)$
0	0	$Q(t)$
0	1	0
1	0	1
1	1	$\overline{Q(t)}$

Synchroniczny przerzutnik D

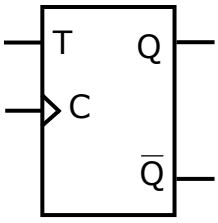
$$Q(t+1) = D(t)$$



$D(t)$	$Q(t+1)$
0	0
1	1

Synchroniczny przerzutnik T

$$Q(t+1) = T(t)\,\overline{Q(t)} + \overline{T(t)}\,Q(t)$$



$D(t)$	$Q(t+1)$
0	$Q(t)$
1	$\overline{Q(t)}$

Aby określić stan wejść przerzutnika, niezbędny do założonej zmiany stanu, korzysta się z tak zwanej tabeli wzbudzeń. Można ją uzyskać przez przejście od pełnej tabeli stanów przerzutnika do siatki Karnaugha. Pokazane to zostanie na przykładzie przerzutnika JK.

$Q(t)$	$J(t)$	$K(t)$	$Q(t+1)$
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	0

$\Longrightarrow$

$Q(t+1)$

$Q(t)$ \ $JK(t)$	00	01	11	10
0	**0**	**0**	**1**	**1**
1	**1**	**0**	**0**	**1**

$\Downarrow$

$Q(t)$	$Q(t+1)$	$J(t)$	$K(t)$
0	**0**	0	Ø
0	**1**	1	Ø
1	**0**	Ø	1
1	**1**	Ø	0

Symbol Ø (stosuje się również zapis: *, x lub -) oznacza dowolny stan logiczny (0 lub 1). Na przykład zmiana stanu przerzutnika JK $0 \rightarrow 1$ może być uzyskana na dwa sposoby: JK = 10 (kombinacja ustawiająca) lub JK = 11 (kombinacja zmieniająca stan na przeciwny), dlatego w drugim wierszu tabeli wzbudzeń mamy JK = 1Ø.

4.2. Synteza układu sekwencyjnego

Ponieważ synteza układu sekwencyjnego asynchronicznego wymaga uwzględnienia opóźnień we wszystkich drogach rozchodzenia się sygnałów wejściowych jest zadaniem pracochłonnym i trudnym, dlatego też nie zostanie tutaj umówiona. Przedstawiona zostanie synteza układu synchronicznego.

Stan logiczny układu synchronicznego jest określany przez zbiór stanów wszystkich przerzutników wchodzących w jego skład i synchronizowanych sygnałem zegarowym. Maksymalna liczba stanów układu zawierającego n przerzutników wynosi 2^n. Sekwencję stanów można przedstawić w postaci grafu stanów lub tabeli stanów.

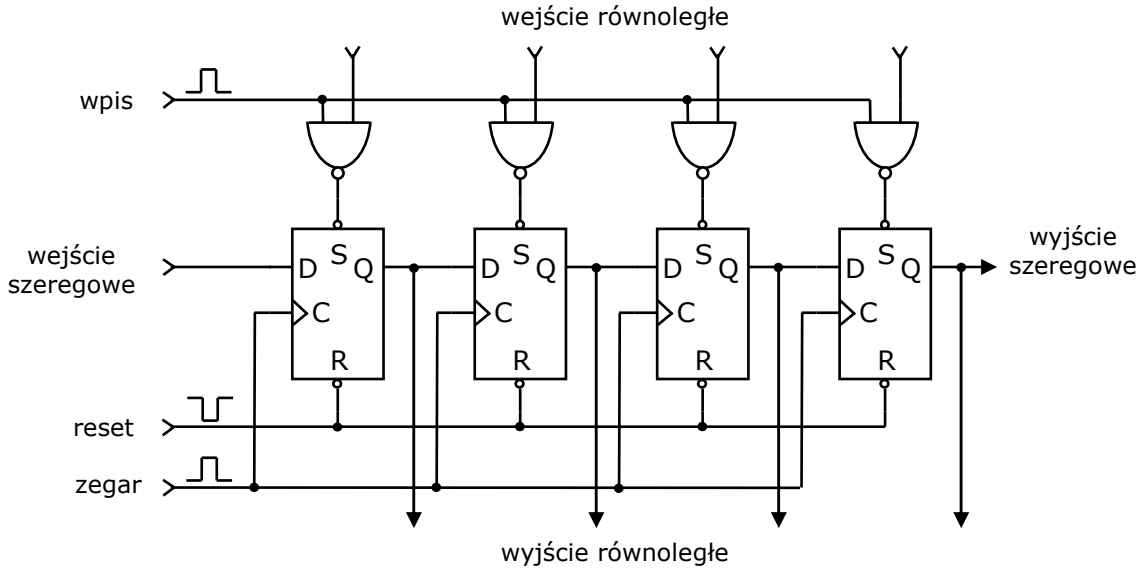
Synteza synchronicznego układu sekwencyjnego polega na:

- określeniu liczby i typu przerzutników wymaganych do jego realizacji,
- przedstawieniu żądanej sekwencji stanów w postaci tabeli stanów,
- sporządzeniu siatek Karnaugha dla wejść poszczególnych przerzutników, na podstawie tabeli stanów i tabeli wzbudzeń wybranego przerzutnika,
- minimalizacji funkcji przełączających poszczególnych wejść przerzutników,
- praktycznej realizacji układu, na podstawie powyższych funkcji, przy użyciu odpowiednich funktorów logicznych.

Poniżej przedstawione zostaną podstawowe układy budowane z przerzutników, mające szerokie zastosowanie praktyczne.

4.3. Układy rejestrowe

Rejestry szeregowe, które budowane są z przerzutników, mogą być przystosowane do przesuwania wprowadzanej informacji w jednym kierunku (rejestry jednokierunkowe) bądź w obu kierunkach (rejestry rewersyjne). Poniżej pokazano przykład 4-bitowego rejestru przesuwającego, zbudowanego z przerzutników typu D.



4.4. Układy licznikowe

Licznik jest sekwencyjnym układem cyfrowym zliczającym i pamiętającym liczbę impulsów podawanych na jego wejście zliczające. Stan początkowy jest zazwyczaj ustawiany osobnym wejściem.

Licznik przechodzący cyklicznie przez N wyróżnionych stanów nazywany jest licznikiem modulo N. Jeżeli zaś przechodzi on przez te stany jednokrotnie i po osiągnięciu stanu końcowego musi być sprowadzony do stanu początkowego jest licznikiem do N. Licznik zawierający n przerzutników może mieć maksymalną pojemność 2^n.

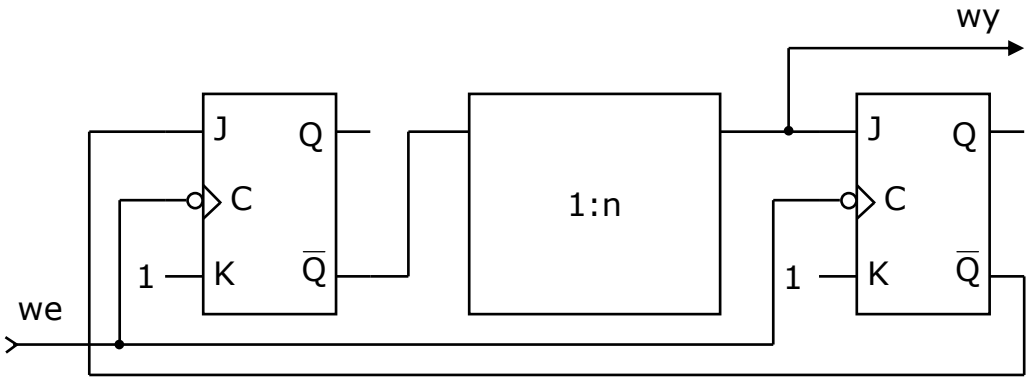
Ze względu na kierunek zliczania liczniki dzielimy na:

- jednokierunkowe:
  - zliczające w przód,
  - zliczające w tył,
- dwukierunkowe (rewersyjne).

Jeśli zliczane impulsy podawane są równocześnie na wejścia zegarowe wszystkich przerzutników, to licznik nazywamy synchronicznym, jeśli zaś tylko na jedno lub niektóre z wejść zegarowych – licznikiem asynchronicznym lub asynchroniczno-synchronicznym.

Synteza liczników asynchronicznych może być przeprowadzona na dwa sposoby:

- metodą rozkładu liczby N na czynniki – wykorzystując podstawowy układ licznika asynchronicznego zliczającego modulo $(2n+1)$ pokazany poniżej oraz elementarne układy dzielników (przez dwa – dwójka licząca, przez cztery – dwie dwójki liczące).

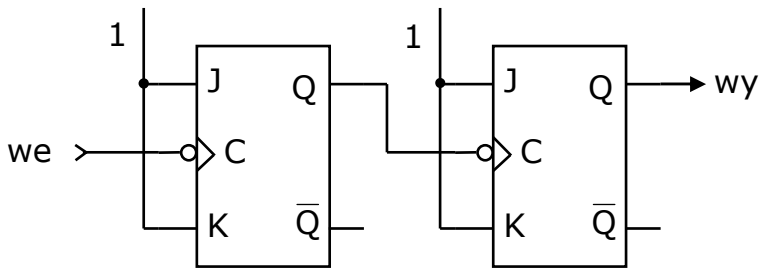


Przykład 1

Zaprojektować licznik asynchroniczny zliczający mod 9.

$9 = 2 * 4 + 1, \quad n = 4$

Ponieważ w tym przypadku $n = 4$, układ licznika można uzyskać wstawiając w ogólnym schemacie logicznym licznika moduł dzielnika przez 4 zrealizowany następująco:



Uzyskane tą metodą liczniki mod n są właściwie dzielnikami częstotliwości. Na wyjściu otrzymujemy przebieg wejściowy podzielony przez n (wypełnienie może być różne od 50%) ale stany przerzutników nie zawsze reprezentują kolejne liczby. Szczegółowe przykłady można znaleźć w [1].

- przez zbudowanie licznika składającego się z n ($N <= 2^n$) dwójek liczących połączonych szeregowo i uzupełnienie go o układ dekodujący stan N licznika oraz zerujący go przy tym stanie.

4.4.1. Synteza liczników synchronicznych

Funkcje przełączające dla poszczególnych wejść przerzutników uzyskiwane są z siatek Karnaugha, które tworzone są na podstawie tabeli stanów licznika i tabeli wzbudzeń dla wybranego typu przerzutnika.

Poniżej pokazano syntezę licznika modulo 16, zliczającego w przód w naturalnym kodzie dwójkowym. Wykorzystano przerzutniki JK.

Tabela stanów:

	t				⇨		t+1			
	Q_3	Q_2	Q_1	Q_0			Q_3	Q_2	Q_1	Q_0
0	0	0	0	0		1	0	0	0	1
1	0	0	0	1		2	0	0	1	0
2	0	0	1	0		3	0	0	1	1
3	0	0	1	1		4	0	1	0	0
4	0	1	0	0		5	0	1	0	1
5	0	1	0	1		6	0	1	1	0
6	0	1	1	0		7	0	1	1	1
7	0	1	1	1		8	1	0	0	0
8	1	0	0	0		9	1	0	0	1
9	1	0	0	1		10	1	0	1	0
10	1	0	1	0		11	1	0	1	1
11	1	0	1	1		12	1	1	0	0
12	1	1	0	0		13	1	1	0	1
13	1	1	0	1		14	1	1	1	0
14	1	1	1	0		15	1	1	1	1
15	1	1	1	1		0	0	0	0	0

W tabeli stanów, w kolejnych wierszach, umieszczono stany licznika w chwilach t i t+1 (reprezentowane przez stany przerzutników $Q_3\,Q_2\,Q_1\,Q_0$). Znajomość tych przejść między stanami pozwala określić funkcje przełączające dla wejść J i K przerzutników.

Na przykład dla pierwszego wiersza mamy następujące zmiany stanów przerzutników i wynikający z nich sposób sterowania wejściami przerzutników (na podstawie tabeli wzbudzeń przerzutnika JK):

$Q_3, Q_2, Q_1 : 0 \rightarrow 0$ JK = 0 Ø $\qquad Q_0 : 0 \rightarrow 1$ JK = 1 Ø

Dla przejrzystości puste komórki w siatkach Karnaugha oznaczają wartość 0. Symbol Ø w czasie minimalizacji interpretowany jest tak, aby uzyskać jak najprostszą postać funkcji logicznej.

Siatki Karnaugha dla wejść przerzutników:

J_3

Q_3Q_2 \ Q_1Q_0	00	01	11	10
00				
01			1	
11	Ø	Ø	Ø	Ø
10	Ø	Ø	Ø	Ø

$J_3 = Q_2\, Q_1\, Q_0$

K_3

$Q_3\, Q_2$ \ Q_1Q_0	00	01	11	10
00	Ø	Ø	Ø	Ø
01	Ø	Ø	Ø	Ø
11			1	
10				

$K_3 = Q_2\, Q_1\, Q_0$

J_2

Q_3Q_2 \ Q_1Q_0	00	01	11	10
00			1	
01	Ø	Ø	Ø	Ø
11	Ø	Ø	Ø	Ø
10			1	

$J_2 = Q_1\, Q_0$

K_2

$Q_3\, Q_2$ \ Q_1Q_0	00	01	11	10
00	Ø	Ø	Ø	Ø
01			1	
11			1	
10	Ø	Ø	Ø	Ø

$K_2 = Q_1\, Q_0$

J_1

Q_3Q_2 \ Q_1Q_0	00	01	11	10
00		1	Ø	Ø
01		1	Ø	Ø
11		1	Ø	Ø
10		1	Ø	Ø

$J_1 = Q_0$

K_1

$Q_3\, Q_2$ \ Q_1Q_0	00	01	11	10
00	Ø	Ø	1	
01	Ø	Ø	1	
11	Ø	Ø	1	
10	Ø	Ø	1	

$K_1 = Q_0$

J_0

Q_3Q_2 \ Q_1Q_0	00	01	11	10
00	1	Ø	Ø	1
01	1	Ø	Ø	1
11	1	Ø	Ø	1
10	1	Ø	Ø	1

$J_0 = 1$

K_0

$Q_3\, Q_2$ \ Q_1Q_0	00	01	11	10
00	Ø	1	1	Ø
01	Ø	1	1	Ø
11	Ø	1	1	Ø
10	Ø	1	1	Ø

$K_0 = 1$

Poniżej siatek Karnaugha pokazane są funkcje logiczne uzyskane wprost z minimalizacji według zaznaczonych obszarów. Ponieważ obszary te zawierają jedynki, funkcje mają postać sumy iloczynów. Bezpośrednie tworzenie schematu na podstawie takich funkcji wymagałoby użycia bramek AND i OR.

W zestawach UNILOG używanych w laboratorium bramki AND i OR nie są dostępne, należy więc wykonać dodatkowe kroki prowadzące do schematu z użyciem bramek NAND i/lub NOR. Można stworzyć schemat z bramkami AND i OR a następnie przekształcić go, używając schematów zastępczych dla AND i OR. Jest to jednak metoda dość pracochłonna, dlatego lepiej od razu wykonać przekształcenia funkcji tak, aby końcowa postać dała się zrealizować wprost na bramkach NAND i/lub NOR.

Poniżej przedstawiono funkcje logiczne (po przekształceniach) dla wszystkich wejść przerzutników. Przyjęto, że używane będą tylko dwuwejściowe bramki NAND i NOR oraz w razie potrzeby NOT:

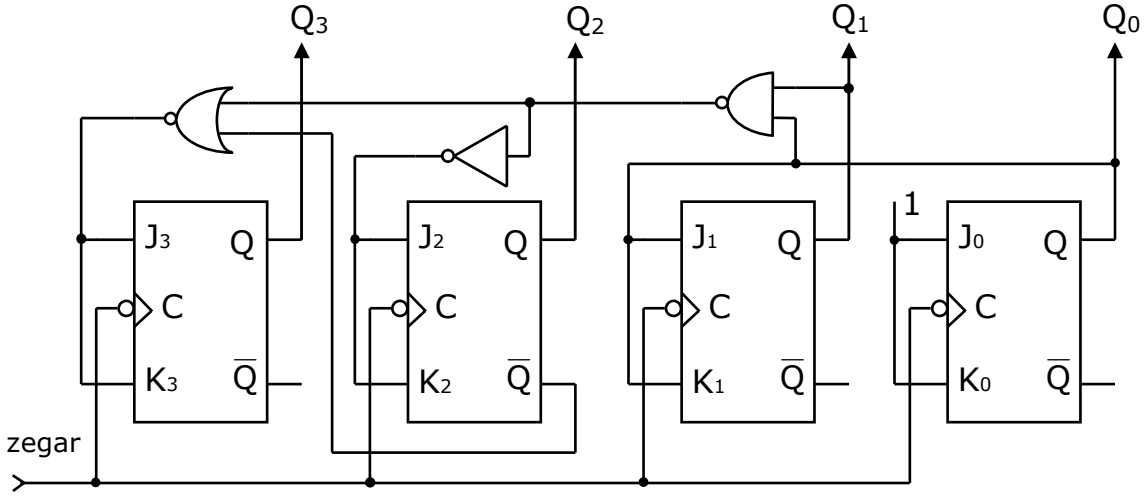
$$J_3 = K_3 = Q_2\,Q_1\,Q_0 = \overline{\overline{Q_2\,Q_1\,Q_0}} = \overline{\overline{Q_2} + \overline{Q_1\,Q_0}}$$

$$J_2 = K_2 = Q_1\,Q_0 = \overline{\overline{Q_1\,Q_0}}$$

$$J_1 = K_1 = Q_0$$

$$J_0 = K_0 = 1$$

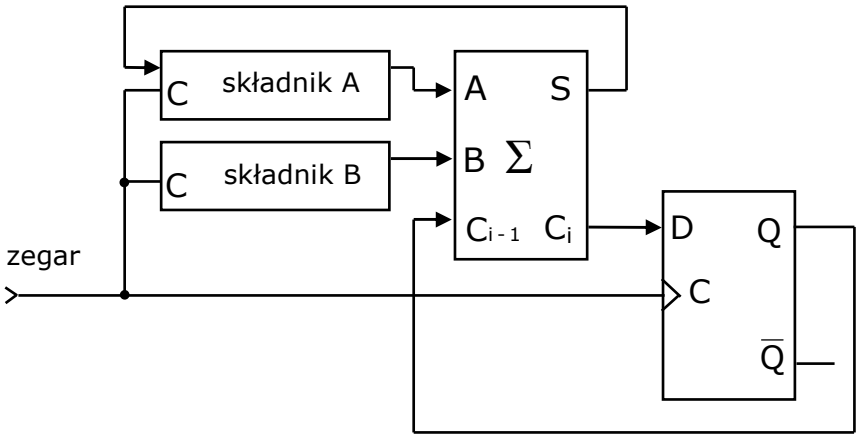
Struktura logiczna licznika:



Warto zauważyć, że bramka NAND została użyta zarówno do realizacji funkcji J_2/K_2 jak i funkcji J_3/K_3. Jest to często występująca sytuacja przy syntezie kilku funkcji o tych samych zmiennych wejściowych. Porównując funkcje można wychwycić wspólne bloki logiczne aby nie powielać ich na schemacie. Dla układów TTL jedynkę logiczną (w tym przypadku dla J_0/K_0) można uzyskać pozostawiając wejścia wiszące.

4.5. Sumatory szeregowe

Wykorzystując jednobitowy sumator pełny oraz rejestry przesuwające można zbudować wielopozycyjny sumator szeregowy akumulujący:



W każdym takcie zegarowym dodawane są (poczynając od najmniej znaczącej pozycji) bity składników oraz bit przeniesienia z poprzedniej pozycji, który pamiętany jest w przerzutniku D. Wynik umieszczany jest w rejestrze składnika A (wykonywana jest operacja $A \leftarrow A + B$, stąd nazwa sumator akumulacyjny). Na rysunku nie pokazano układów wpisu składników oraz zerowania przerzutnika D.

5. Przebieg ćwiczenia

Dla podanych zadań należy:

- zaprojektować układ, ewentualnie przeprowadzić syntezę logiczną,
- zmontować układ wykorzystując dostępne elementy,
- sprawdzić poprawność działania układu.

Zadania do wykonania:

- Zbudować przerzutnik RS wykorzystując różne typy funktorów logicznych.
- Wykorzystując przerzutnik JK uzyskać pozostałe typy przerzutników.
- Zbudować układ konwersji informacji z postaci szeregowej na równoległą i odwrotnie.
- Zrealizować licznik o programowanej długości cyklu (mod 1–15) wykorzystując scalony licznik ’93.
- Wykorzystując przerzutniki JK zbudować licznik synchroniczny modulo 6 zliczający wstecz.
- Zrealizować 4-bitowy, szeregowy sumator akumulujący.

6. Sprawozdanie z ćwiczenia

- Sformułować rozwiązywane problemy i przedyskutować wybrany sposób rozwiązania,
- Przedstawić kolejne etapy syntezy układów (tabele stanów, siatki Karnaugha, schematy logiczne),
- Opisać sposób i wyniki testowania zbudowanych układów,
- Sformułować wnioski.

7. Literatura

[1]. Pieńkos J., Turczyński J.: Układy scalone TTL w systemach cyfrowych. WKŁ, Warszawa 1986
[2]. Sasal W.: Układy scalone serii UCY 64/UCY 74, Parametry i zastosowania, WKŁ, Warszawa 1985
[3]. Kazimierczak J., Kluska J., Kaczmarek A.: Podstawy teorii automatów. Laboratorium, Wydawnictwo Politechniki Rzeszowskiej, Rzeszów 1984
[4]. Krasiński W.: Doświadczenia z podstaw techniki cyfrowej, Politechnika Wrocławska, Wrocław 1988